

Guía docente

2301218 - MSIPD - Diseño de Ips de Señal Mixta

Última modificación: 20/03/2024

Unidad responsable: Escuela Técnica Superior de Ingeniería de Telecomunicación de Barcelona
Unidad que imparte: 1022 - UAB - (CAS) pendent.

Titulación: MÁSTER UNIVERSITARIO EN INGENIERÍA DE SEMICONDUCTORES Y DISEÑO MICROELECTRÓNICO (Plan 2024). (Asignatura optativa).

Curso: 2024 **Créditos ECTS:** 4.0 **Idiomas:** Inglés

PROFESORADO

Profesorado responsable: Consultar aquí / See here:

Otros: Consultar aquí / See here:

METODOLOGÍAS DOCENTES

La metodología docente se basa en clases magistrales y ejercicios en clase (20 horas) y sesiones de laboratorio (10 horas). El trabajo de laboratorio incluye el diseño top-down de un bloque IP ADC Delta-Sigma de capacidades conmutadas (SC) o un PLL de reloj desde las especificaciones funcionales hasta el diseño en tecnología CMOS con herramientas de diseño electrónico automatizado (EDA) y kits de diseño de proceso (PDK).

OBJETIVOS DE APRENDIZAJE DE LA ASIGNATURA

Este curso es una introducción al diseño CMOS de bloques IP de señal mixta, desde la especificación funcional utilizando el lenguaje de descripción Verilog-A hasta la integración física en sistemas en chip (SoCs) big-A y big-D. La metodología de diseño top-down de señal mixta se aplica a tres familias de bloques IP estratégicos: convertidores de datos A/D y D/A y bucles de fase (PLLs) de reloj. El curso también permite adquirir práctica en la optimización de estos bloques IP de señal mixta utilizando herramientas de diseño electrónico automatizado (EDA), así como kits de diseño de procesos CMOS (PDKs).

Objetivos específicos:

1. Aprender a evaluar los diferentes pasos implicados en la metodología de diseño top-down de bloques IP de señal mixta en tecnologías CMOS para sistemas en chip (SoCs).
2. Ser capaz de especificar un bloque IP de señal mixta utilizando el lenguaje de descripción de hardware Verilog-A (HDL).
3. Adquirir conocimientos sobre técnicas de diseño específicas para tres familias de bloques IP de señal mixta: convertidores de datos A/D y D/A y bucles de fase (PLL) de reloj.
4. Adquirir práctica en la optimización de bloques IP de señal mixta utilizando herramientas de diseño electrónico automatizado (EDA) abiertas e industriales, así como kits de diseño de procesos CMOS (PDKs).

HORAS TOTALES DE DEDICACIÓN DEL ESTUDIANTADO

Tipo	Horas	Porcentaje
Horas grupo grande	20,0	20.00
Horas aprendizaje autónomo	70,0	70.00
Horas grupo pequeño	10,0	10.00

Dedicación total: 100 h

CONTENIDOS

Introducción a los Flujos de Diseño CMOS de Señal Mixta

Descripción:

Metodología de diseño top-down de circuitos integrados de señal mixta. Especificación de bloques IP a través de la simulación funcional de la arquitectura del circuito integrado. Integración de bloques IP en los flujos de diseño de circuitos integrados big-A y big-D. Buenas prácticas para la portabilidad de los IPs en tecnologías CMOS. Tendencias y desafíos actuales en el diseño de circuitos IP de señal mixta.

Dedicación: 1h

Grupo grande/Teoría: 1h

Modelización de Arquitecturas de IP con Verilog-A

Descripción:

Técnicas de simulación de circuitos de señal mixta: red eléctrica versus dirigida por eventos. Lenguajes de descripción de hardware analógico (AHDL). Introducción al lenguaje Verilog-A: conceptos básicos (tipos de datos, expresiones, señales, funciones), comportamiento analógico y jerarquía de diseño.

Dedicación: 3h

Grupo grande/Teoría: 3h

Convertidores de Datos Analógico-Digital

Descripción:

Muestreo y cuantización en la conversión de datos. Métricas de rendimiento de los ADC (DNL, INL, SNDR, ENOB, DR, OSR, FOMS/W). ADC Flash. Subrangos, entrelazado de tiempo y canalización. Convertidores A/D de aproximación sucesiva (SAR). Moduladores Delta-Sigma sobremuestreados (CT, SC, DEM, IADC, Zoom). Moduladores asincrónicos Integrate-and-Fire (IAF). Conversión en el dominio del tiempo (TDC).

Dedicación: 6h

Grupo grande/Teoría: 6h

Convertidores de Datos Digital-Analógico

Descripción:

Convertidores D/A con shaping de ruido multi-etapa (MASH). Técnicas de modulación de pulsos.

Dedicación: 2h

Grupo grande/Teoría: 2h

Bucles de Fase Enter-N de Reloj

Descripción:

Arquitectura básica del PLL. Osciladores controlados y divisores de frecuencia. Detectores de fase/frecuencia y bombas de carga. Filtro de bucle y estabilidad del PLL. Figuras de mérito de ruido de fase, jitter y tiempo de bloqueo.

Dedicación: 4h

Grupo grande/Teoría: 4h



Optimización Automática de Circuitos

Descripción:

Análisis de rendimiento de IPs versus recursos (potencia y área). Parametrización de circuitos IP para optimización. Reglas y algoritmos generales de optimización. Funciones de costo multivariables. Optimización frente a proceso CMOS, tensión de alimentación y rango de temperatura (PVT).

Dedicación: 2h

Grupo grande/Teoría: 2h

Herramientas EDA de Señal Mixta

Descripción:

Herramientas de diseño electrónico automatizado (EDA) de código abierto y comerciales, y kits de diseño de procesos CMOS (PDKs) para el diseño de IPs de señal mixta. Herramientas de simulación y optimización de circuitos de señal mixta.

Dedicación: 2h

Grupo grande/Teoría: 2h

SISTEMA DE CALIFICACIÓN

Evaluación según la siguiente norma ponderada: ejercicios propuestos (10%), informe de laboratorio (40%) y examen (50%). Si la puntuación del examen es inferior a 4/10, será necesario aprobar un examen de recuperación y su puntuación se reducirá a un 80%.

BIBLIOGRAFÍA

Básica:

- Plassche, R.J. van de. CMOS integrated analog-to-digital and digital-to-analog converters. 2nd ed. Springer, 2003. ISBN 9781571812773.
- Pavan, S.; Schreier, R.; Temes, G.C. Understanding delta-sigma data converters [en línea]. 2nd ed. Hoboken, New Jersey: John Wiley & Sons, Inc. : IEEE Press, 2017 [Consulta: 16/07/2024]. Disponible a: <https://onlinelibrary-wiley-com.recursos.biblioteca.upc.edu/doi/book/10.1002/9781119258308>. ISBN 9781119258308.
- Razavi, B. Design of CMOS phase-locked loops: from circuit level to architecture level. Cambridge University Press, 2020. ISBN 9781108494540.
- Accellera Systems Initiative. Verilog-AMS Language Reference Manual v2.4.0 [en línea]. v2.4.0. Napa, CA: Accellera Systems Initiative Inc., 2014 [Consulta: 18/06/2024]. Disponible a: <https://www.accellera.org/images/downloads/standards/v-ams/VAMS-LRM-2-4.pdf>.
- Hastings, A. The art of analog layout. 3rd ed. Pearson, 2023.