



Guía docente

2301207 - AICD - Diseño de Circuitos Integrados Analógicos

Última modificación: 20/03/2024

Unidad responsable: Escuela Técnica Superior de Ingeniería de Telecomunicación de Barcelona
Unidad que imparte: 1022 - UAB - (CAS) pendent.

Titulación: MÁSTER UNIVERSITARIO EN INGENIERÍA DE SEMICONDUCTORES Y DISEÑO MICROELECTRÓNICO (Plan 2024). (Asignatura optativa).

Curso: 2024 **Créditos ECTS:** 6.0 **Idiomas:** Inglés

PROFESORADO

Profesorado responsable: Consultar aquí / See here:
<https://telecos.upc.edu/ca/curs-actual/coordinadors-i-professorat>

Otros: Consultar aquí / See here:
<https://telecos.upc.edu/ca/curs-actual/coordinadors-i-professorat>

METODOLOGÍAS DOCENTES

La metodología docente se basa en lecciones magistrales y ejercicios en clase (32h) y sesiones de laboratorio (16h). El trabajo de laboratorio incluye el diseño a medida de un amplificador operacional Miller de dos etapas desde las especificaciones funcionales hasta el diseño del layout en tecnología CMOS con herramientas de diseño electrónico automatizado (EDA) y kits de diseño de proceso (PDKs).

OBJETIVOS DE APRENDIZAJE DE LA ASIGNATURA

Este curso es una introducción a las técnicas específicas de diseño a medida de circuitos integrados analógicos en tecnologías CMOS. Además del conocimiento requerido en los niveles de proceso, dispositivo y circuito, el curso permite adquirir práctica en metodologías de diseño esquemático y físico a medida para desarrollar proyectos de circuitos integrados de aplicación específica (ASICs) analógicos desde las especificaciones hasta el tapeout.

Objetivos específicos:

1. Adquirir conocimientos sobre técnicas específicas de diseño analógico a medida para circuitos integrados en los niveles de investigación e industrial, con énfasis en escenarios de bajo consumo y bajo ruido.
2. Ser capaz de seleccionar la tecnología CMOS más adecuada dado un conjunto de especificaciones para un proyecto de diseño de circuitos integrados de aplicación específica (ASIC).
3. Aprender a evaluar los diferentes pasos involucrados en la metodología de diseño analógico a medida de circuitos integrados tanto a nivel esquemático como físico.
4. Adquirir práctica en herramientas industriales de diseño electrónico automatizado (EDA) a medida y kits de diseño de procesos CMOS (PDKs).

HORAS TOTALES DE DEDICACIÓN DEL ESTUDIANTADO

Tipo	Horas	Porcentaje
Horas aprendizaje autónomo	102,0	68.00
Horas grupo pequeño	16,0	10.67
Horas grupo grande	32,0	21.33

Dedicación total: 150 h

CONTENIDOS

Introducción a los CIs Analógicos a Medida

Descripción:

More than Moore versus More Moore. Variedades de diseño de CIs: desde circuitos integrados de aplicación específica (ASICs) a medida hasta bibliotecas de IPs de terceros. Módulos de tecnología CMOS para señal mixta. Estrategias de prototipado de ASICs (MPW, MLM, stitching). Impacto de la reducción del tamaño de la tecnología CMOS y de la tensión de alimentación en los circuitos analógicos. Tendencias y desafíos en el diseño de CIs analógicos.

Dedicación: 2h

Grupo grande/Teoría: 2h

Modelado de Dispositivos para el Diseño Analógico CMOS

Descripción:

Modelado de transistores adecuado para el diseño analógico manual. Modelo EKV de MOSFET (I/V, transconductancia, capacidad, ruido). Operación subumbral y diseño de circuitos basado en el coeficiente de inversión (IC). BJTs y dispositivos pasivos (resistencias planas, capacidades MiM y MoM). Corners de proceso y desaparejamiento tecnológico de dispositivos.

Dedicación: 4h

Grupo grande/Teoría: 4h

Amplificadores Operacionales CMOS

Descripción:

Figuras de mérito como bloque (ganancia, GBW, tiempo de establecimiento, SR, offset, ruido equivalente de entrada, CMR, CMRR, PSRR). Bloques constituyentes de amplificadores operacionales a nivel de transistor (etapas de S/G común y de puerta posterior, espejos de corriente, buffers, desplazadores de nivel). Amplificadores operacionales diferenciales y realimentación en modo común (CMFB). Técnicas cascode y de aumento de ganancia. Topologías plegadas y telescópicas. Estabilidad y compensación de frecuencia en amplificadores operacionales multi-etapa.

Dedicación: 6h

Grupo grande/Teoría: 6h

Metodología de Diseño Analógico de ICs a Medida

Descripción:

Flujos de diseño esquemático y físico. Herramientas de diseño electrónico automatizado (EDA) a medida y kit de diseño de procesos CMOS (PDK). Pautas para el dimensionamiento de dispositivos analógicos. Análisis en simulación de circuitos analógicos: gran señal DC, pequeña señal AC, transitorios, ruido, sensibilidad, estado estacionario periódico (PSS). El arte del diseño de layout analógico para desacoplamiento de señal y aparejamiento de dispositivos. Celdas parametrizadas (PCells). Verificación física (DRC, LVS, PEX) y simulación post-layout. Diseño para la fabricación (DFM).

Dedicación: 4h

Grupo grande/Teoría: 4h



Amplificadores Operacionales de Bajo Consumo

Descripción:

Escenarios de CIs de bajo consumo (alimentación con batería, alimentación remota, recolección de energía). Amplificadores operacionales de bajo corriente versus baja tensión. Operación subumbral. Polarización dinámica. Etapas de salida de clase AB. Topologías de rail-to-rail. Amplificadores pseudo-diferenciales basados en inversores.

Dedicación: 4h

Grupo grande/Teoría: 4h

Técnicas de Circuitos de Bajo Ruido

Descripción:

Optimización del ruido del amplificador operacional en aplicaciones de detección de baja frecuencia. Topologías de circuitos con chopping. Técnicas de doble muestreo correlado (CDS).

Dedicación: 4h

Grupo grande/Teoría: 4h

Bloques Básicos Específicos

Descripción:

Referencias de voltaje analógicas y generadores de corriente de polarización (PTAT, bandgap). Comparadores. Circuitos en modo corriente (conveyors, divisores, WTA). Transconductores lineales y filtros GmC. Circuitos de capacidades conmutadas (S/H, T/H, amplificadores, filtros). Osciladores.

Dedicación: 8h

Grupo grande/Teoría: 8h

SISTEMA DE CALIFICACIÓN

Evaluación según la siguiente norma ponderada: ejercicios propuestos (10%), informe de laboratorio (40%) y examen (50%). Si la puntuación del examen es inferior a 4/10, será necesario aprobar un examen de recuperación y su puntuación se reducirá a un 80%.

BIBLIOGRAFÍA

Básica:

- Allen, P.E.; Holberg, D.R. CMOS analog circuit design. New York: Oxford University Press, 2012. ISBN 9780199937424.
- Razavi, B. Design of analog CMOS integrated circuits. 2nd ed. Boston: McGraw Hill, 2017. ISBN 9781259255090.
- Gray, P.R.; Hurst, P.J.; Lewis, S.H. Analysis and design of analog integrated circuits. 6th ed. Hoboken, New Jersey: Wiley, 2024. ISBN 9781394220069.
- Sansen, W.M. Analog design essentials [en línea]. New York, NY: Springer US, 2006 [Consulta: 27/06/2024]. Disponible a: <https://link-springer-com.recursos.biblioteca.upc.edu/book/10.1007/b135984>. ISBN 9780387257471.
- Hastings, A. The art of analog layout. 2nd ed. Upper Saddle River: Prentice Hall, 2006. ISBN 9780131464100.