



# Guía docente

## 2301206 - ICPD - Diseño Físico de Circuitos Integrados

Última modificación: 17/04/2024

**Unidad responsable:** Escuela Técnica Superior de Ingeniería de Telecomunicación de Barcelona  
**Unidad que imparte:** 710 - EEL - Departamento de Ingeniería Electrónica.

**Titulación:** MÁSTER UNIVERSITARIO EN INGENIERÍA DE SEMICONDUCTORES Y DISEÑO MICROELECTRÓNICO (Plan 2024). (Asignatura optativa).

**Curso:** 2024      **Créditos ECTS:** 6.0      **Idiomas:** Inglés

### PROFESORADO

**Profesorado responsable:** Consultar aquí / See here:  
<https://telecos.upc.edu/ca/curs-actual/coordinadors-i-professorat>

**Otros:** Consultar aquí / See here:  
<https://telecos.upc.edu/ca/curs-actual/coordinadors-i-professorat>

### CAPACIDADES PREVIAS

Diseño digital  
Contenidos de Diseño Microelectrónico (MD)

### METODOLOGÍAS DOCENTES

Exposición por parte del profesor (clase magistral)  
Trabajo de laboratorio con herramientas de diseño EDA

### OBJETIVOS DE APRENDIZAJE DE LA ASIGNATURA

Conocimiento:

- K1.1 Aplicar las metodologías y herramientas para el diseño y verificación de circuitos integrados digitales semipersonalizados.
- K.1.2 Comprender las ventajas y limitaciones de las tecnologías microelectrónicas digitales y las características de los kits de diseño (PDK).
- K.1.3 Comprender las restricciones, aspectos temporales y consumo energético en un diseño.
- K1.4 Desarrollar estrategias de prueba apropiadas para circuitos integrados digitales.

Habilidades:

- S1.1 Diseñar circuitos integrados digitales utilizando herramientas automáticas de síntesis lógica y física según especificaciones.
- S1.2 Utilizar herramientas de verificación a nivel lógico y físico.
- S1.3 Utilizar herramientas de diseño para probar circuitos integrados.

Competencias:

- C1.1 Realizar circuitos integrados digitales con eficiencia en términos de área, consumo, velocidad y testabilidad.

### HORAS TOTALES DE DEDICACIÓN DEL ESTUDIANTADO

Tipo	Horas	Porcentaje
Horas grupo grande	24,0	16.00
Horas grupo pequeño	24,0	16.00
Horas aprendizaje autónomo	102,0	68.00

**Dedicación total:** 150 h

## CONTENIDOS

### T0. Conceptos y metodología

**Descripción:**

Estilos de implementación. Flujo de diseño digital. Herramientas para el diseño automático.

**Dedicación:** 1h

Grupo grande/Teoría: 1h

### T1. Lenguajes de descripción de hardware (HDL): Systemverilog

**Descripción:**

Revisión de Systemverilog. Modelado de sistemas digitales para síntesis. Uso de HDL para simulación/verificación.

**Dedicación:** 4h

Grupo grande/Teoría: 4h

### T2. Síntesis e implementación de circuitos integrados digitales

**Descripción:**

Etapas del proceso de síntesis. Bibliotecas. Optimizaciones en el proceso de síntesis funcional y lógica. Restricciones de un diseño (SDC). Análisis temporal - Análisis de temporización estática (STA). Síntesis física: Plano de planta, Ubicación, Síntesis de árbol de reloj (CTS), Enrutamiento, Optimización de tiempos y generación de GDS.

**Dedicación:** 9h

Grupo grande/Teoría: 9h

### T3. Verificación física

**Descripción:**

Linting RTL. Sincronización y comprobaciones CDC. Cierre de tiempos. Modelado de potencia. Análisis de distribución de energía.

**Dedicación:** 2h

Grupo grande/Teoría: 2h

### T4. Implementación física avanzada

**Descripción:**

Técnicas de baja potencia. Modelado y flujo de la UPF.

**Dedicación:** 3h

Grupo grande/Teoría: 3h

### T5. Diseño para la testabilidad

**Descripción:**

Conceptos de prueba. Modelos de fallo. Generación de pruebas en circuitos combinacionales y secuenciales. IDDQ. Métodos automáticos de generación de vectores. Diseño para pruebas. Escanear cadenas. Exploración de límites. Autoprueba incorporada.

**Dedicación:** 7h

Grupo grande/Teoría: 7h



### L1. Simulación digital

**Descripción:**

Simulación de un diseño en RTL. Simulación a nivel de puerta.

**Dedicación:** 4h

Grupo pequeño/Laboratorio: 4h

### L2. Síntesis lógica

**Descripción:**

Síntesis lógica de un diseño moderadamente complejo

**Dedicación:** 6h

Grupo pequeño/Laboratorio: 6h

### L3. Análisis estático de tiempos. Verificación física

**Descripción:**

Análisis temporal y efecto de restricciones temporales. Verificación de potencia. Verificación de layout.

**Dedicación:** 4h

Grupo pequeño/Laboratorio: 4h

### L4. Flujo completo: verificación de equivalencia lógica, verificación CDC, implementación

**Descripción:**

Implementación de diseño con varios dominios de reloj. Verificaciones avanzadas.

**Dedicación:** 4h

Grupo pequeño/Laboratorio: 4h

### L5. DFT: ATPG, inserción de escaneo, BIST

**Descripción:**

Flujo de diseño para la testabilidad. Síntesis e implementación física.

**Dedicación:** 4h

Grupo pequeño/Laboratorio: 4h

## SISTEMA DE CALIFICACIÓN

3 exámenes parciales (50% global)

Entregas de informes de laboratorio (50%)



## BIBLIOGRAFÍA

---

### Básica:

- Bhasker, J; Chadha, R. Static timing analysis for nanometer designs: a practical approach [en línea]. New York: Springer, 2009 [Consulta: 13/06/2024]. Disponible a: <https://link-springer-com.recursos.biblioteca.upc.edu/book/10.1007/978-0-387-93820-2>. ISBN 9780387938196.
- Mehta, A.B. Introduction to SystemVerilog [en línea]. Cham, Switzerland: Springer, 2021 [Consulta: 13/06/2024]. Disponible a: <https://link-springer-com.recursos.biblioteca.upc.edu/book/10.1007/978-3-030-71319-5>. ISBN 9783030713195.
- Golshan, K. Physical design essentials: an ASIC design implementation perspective [en línea]. New York: Springer, 2007 [Consulta: 13/06/2024]. Disponible a: <https://link-springer-com.recursos.biblioteca.upc.edu/book/10.1007/978-0-387-46115-1>. ISBN 9780387461151.