



Guía docente

2301205 - SOC - Diseño y Verificación de Socs

Última modificación: 02/04/2024

Unidad responsable: Escuela Técnica Superior de Ingeniería de Telecomunicación de Barcelona
Unidad que imparte: 1022 - UAB - (CAS) pendent.

Titulación: MÁSTER UNIVERSITARIO EN INGENIERÍA DE SEMICONDUCTORES Y DISEÑO MICROELECTRÓNICO (Plan 2024). (Asignatura optativa).

Curso: 2024 **Créditos ECTS:** 6.0 **Idiomas:** Inglés

PROFESORADO

Profesorado responsable: Consultar aquí / See here:

Otros: Consultar aquí / See here:

CAPACIDADES PREVIAS

Verilog HDL, C++, COdiseño HW/SW, Arquitectura de computadoras, Diseño FPGA, ASIC back-end, Kits de diseño (PDK), Herramientas de automatización del diseño electrónico (EDA)

METODOLOGÍAS DOCENTES

Clase expositiva participativa. Resolución de ejercicios y problemas. Trabajo práctico de laboratorio.

OBJETIVOS DE APRENDIZAJE DE LA ASIGNATURA

Este curso se centra en el diseño y la verificación de componentes complejos y del sistema integrado a chip (SoC) en un enfoque basado en el diseño basado en plataformas (meet-in-the middle), que construye chips complejos a partir de componentes predefinidos y llegando tanto a la creación de prototipos sobre FPGAs como al diseño de ASICs. Las herramientas de codiseño HW/SW a nivel de sistema se utilizan para la especificación, la síntesis y la verificación, reforzando especialmente que es un aspecto clave del flujo de diseño.

HORAS TOTALES DE DEDICACIÓN DEL ESTUDIANTADO

Tipo	Horas	Porcentaje
Horas aprendizaje autónomo	102,0	68.00
Horas grupo pequeño	15,0	10.00
Horas grupo grande	33,0	22.00

Dedicación total: 150 h



CONTENIDOS

Arquitecturas SoC

Descripción:

Arquitectura SoC elemental.
Ejemplos de núcleos de procesador (ARM, RISC-V). Pipeline.
Buses en chip (AMBA AXI OCB).
Componentes virtuales (IP).
Arquitectura de memoria.

Dedicación: 31h 15m

Grupo grande/Teoría: 10h

Aprendizaje autónomo: 21h 15m

Lenguajes y metodologías de verificación

Descripción:

Conceptos y metodologías de verificación. SystemVerilog para la verificación. Bancos de pruebas simples y complejos. Interfaz de programación directa (DPI). Aleatorización y cobertura (código y funcional). Afirmaciones.

Dedicación: 31h 15m

Grupo grande/Teoría: 10h

Aprendizaje autónomo: 21h 15m

Lenguajes y metodologías de modelado de alto nivel

Descripción:

SystemC TLM. Sistema de co-simulación SystemC-HDL. Herramientas de síntesis de alto nivel.

Dedicación: 28h 20m

Grupo grande/Teoría: 9h

Aprendizaje autónomo: 19h 20m

Back-end del SoC en FPGA y ASIC

Descripción:

Prototipado con FPGA. Back-end en tecnologías ASIC. Aspectos de encapsulado y test.

Dedicación: 12h 30m

Grupo grande/Teoría: 4h

Aprendizaje autónomo: 8h 30m



Prácticas de laboratorio

Descripción:

1. Personalización arquitectural del SOC (AXI, MMAP, IRQs, DMA,...) con componentes virtual (IPs)
2. Bancos de pruebas SystemVerilog
3. Afirmaciones, cobertura, DPI
4. Co-simulación HW/SW del SoC con SystemC TLM
5. Síntesis del chip SoC

Objetivos específicos:

Los estudiantes trabajan con componentes virtuales (IPs), que se conectan a través de un bus integrado (OCB). El diseño de un SoC específico comienza con la selección de sus componentes y la construcción de su arquitectura, continúa con una verificación funcional a nivel de componentes individuales o de grupos pequeños con SystemVerilog, seguida de la cosimulación HW/SW del SoC completo con SystemC TLM, y termina con la síntesis de un ASIC que se podría enviar a fabricar.

Actividades vinculadas:

5 sesiones de prácticas de 3 horas cada una

Dedicación: 46h 40m

Grupo pequeño/Laboratorio: 15h

Aprendizaje autónomo: 31h 40m

SISTEMA DE CALIFICACIÓN

Trabajos y actividades individuales (20%). Examen final (40%). Trabajos grupal de laboratorio (40%, obligatorio aprobarlo para superar la asignatura).

BIBLIOGRAFÍA

Básica:

- Keating, M. The simple art of SoC design [en línea]. New York, NY: Springer New York, 2011 [Consulta: 13/06/2024]. Disponible a: <https://link-springer-com.recursos.biblioteca.upc.edu/book/10.1007/978-1-4419-8586-6>. ISBN 9781441985866.
- Patterson, D.; Waterman, A. The RISC-V reader: an open architecture atlas [en línea]. San Francisco: Strawberry Canyon, 2017 [Consulta: 11/06/2024]. Disponible a: <http://riscvbook.com/>. ISBN 9780999249116.
- Spear, C.; Tumbush, G. SystemVerilog for verification: a guide to learning the testbench language features [en línea]. 3rd ed. New York, NY: Springer, 2012 [Consulta: 11/06/2024]. Disponible a: <https://link-springer-com.recursos.biblioteca.upc.edu/book/10.1007/978-1-4614-0715-7>. ISBN 9781461407157.
- Kogel, T.; Leupers, R.; Meyr, H. Integrated system-level modeling of network-on-chip enabled multi-processor platforms [en línea]. Dordrecht, The Netherlands: Springer, 2006 [Consulta: 13/06/2024]. Disponible a: <https://link-springer-com.recursos.biblioteca.upc.edu/book/10.1007/1-4020-4826-2>. ISBN 9781402048258.

Complementaria:

- Chakravarthi, V.S. A practical approach to VLSI system on chip (SoC) design: a comprehensive guide [en línea]. 1st ed. 2020. Cham: Springer Cham, 2020 [Consulta: 11/06/2024]. Disponible a: <https://link-springer-com.recursos.biblioteca.upc.edu/book/10.1007/978-3-030-23049-4>. ISBN 9783030230494.
- Flynn, M.J.; Luk, W. Computer system design: system-on-chip [en línea]. Hoboken: Wiley, 2011 [Consulta: 11/06/2024]. Disponible a: <https://ebookcentral-proquest-com.recursos.biblioteca.upc.edu/lib/upcatalunya-ebooks/detail.action?pq-origsite=primo&docID=693260>. ISBN 9781118009901.
- Greaves, D.J. Modern system-on-chip design on Arm. Cambridge: Arm Education Media, 2021. ISBN 9781911531364.
- Beuchat, R.; Depraz, F.; Guerrieri, A.; Kashani, S. Fundamentals of system-on-chip: design on Arm Cortex-M microcontrollers. Cambridge: Arm Education Media, 2021. ISBN 9781911531333.
- Mehta, A.B. ASIC/SoC functional design verification [en línea]. Springer, 2017 [Consulta: 11/06/2024]. Disponible a: <https://link-springer-com.recursos.biblioteca.upc.edu/book/10.1007/978-3-319-59418-7>. ISBN 9783319594187.
- Wile, B.; Goss, J.C.; Roesner, W. Comprehensive functional verification: the complete industry cycle [en línea]. 1st ed. Amsterdam; Boston: Elsevier/Morgan Kaufmann, 2005 [Consulta: 13/06/2024]. Disponible a:



<https://ebookcentral-proquest-com.recursos.biblioteca.upc.edu/lib/upcatalunya-ebooks/detail.action?pq-origsite=primo&docID=234976>. ISBN 9780080476643.

- Taraate, V. Digital logic design using Verilog: coding and RTL synthesis [en línea]. 2nd ed. Singapore: Springer, 2023 [Consulta: 13/06/2024]. Disponible a: <https://link-springer-com.recursos.biblioteca.upc.edu/book/10.1007/978-981-16-3199-3>. ISBN 9789811946523.

- Herdt, V.; Drechsler, R.; Grosse, D. Enhanced virtual prototyping: featuring RISC-V case studies [en línea]. Cham, Switzerland: Springer, 2021 [Consulta: 13/06/2024]. Disponible a: <https://link-springer-com.recursos.biblioteca.upc.edu/book/10.1007/978-3-030-54828-5>. ISBN 9783030548285.

RECURSOS

Otros recursos:

IP: procesadores RISC-V, periféricos y herramientas de código abierto
Herramientas EDA para diseño, verificación y síntesis.