



Guía docente

2301204 - SD - Dispositivos Semiconductores

Última modificación: 16/04/2024

Unidad responsable: Escuela Técnica Superior de Ingeniería de Telecomunicación de Barcelona
Unidad que imparte: 1022 - UAB - (CAS) pendent.

Titulación: MÁSTER UNIVERSITARIO EN INGENIERÍA DE SEMICONDUCTORES Y DISEÑO MICROELECTRÓNICO (Plan 2024). (Asignatura optativa).

Curso: 2024 **Créditos ECTS:** 6.0 **Idiomas:** Inglés

PROFESORADO

Profesorado responsable: Consultar aquí / See here:

[Jiménez Jiménez, David](#)

Otros: Consultar aquí / See here:

[Iñiguez Nicolau, Benjamí](#)
[Amat Bertrán, Esteve](#)

CAPACIDADES PREVIAS

Conocimiento básico de las propiedades electrónicas de los semiconductores y estructuras basadas en semiconductores

METODOLOGÍAS DOCENTES

Clases teóricas: 39 h
Sesiones de laboratorio: 9 h
Localizaciones de las sesiones de laboratorio: UAB, CNM, URV - online
Trabajo autónomo del estudiante: 90 h

OBJETIVOS DE APRENDIZAJE DE LA ASIGNATURA

1. Ser capaz de reconocer e idear posibles soluciones a los desafíos que enfrenta la industria microelectrónica en el contexto del escalado de transistores.
2. Ser capaz de diseñar un transistor con buenas propiedades para conseguir unas prestaciones de circuito específicas en aplicaciones digitales/analógicas/RF reconociendo el compromiso existente entre disipación de potencia y rendimiento.
3. Ser capaz de extraer parámetros del modelo de transistor para una tecnología de fabricación determinada.
4. Adquirir habilidad práctica en la caracterización de dispositivos realizados con tecnologías de transistores existentes.

HORAS TOTALES DE DEDICACIÓN DEL ESTUDIANTADO

| Tipo | Horas | Porcentaje |
|----------------------------|-------|------------|
| Horas grupo pequeño | 9,0 | 6.00 |
| Horas aprendizaje autónomo | 102,0 | 68.00 |
| Horas grupo grande | 39,0 | 26.00 |

Dedicación total: 150 h

CONTENIDOS

Dispositivos Semiconductores

Descripción:

*Física del MOSFET

Breve repaso de la física del MOSFET de canal largo. Efecto de canal corto. Transporte a campos elevados. Diseño del perfil de dopaje del canal y tensión umbral del MOSFET. Degradación y ruptura del MOSFET a campos elevados.

*Factores que determinan el rendimiento de la tecnología CMOS

Escalado del MOSFET. Elementos básicos del circuito CMOS. Elementos parásitos: resistencia S/D, resistencia G, capacitancias parásitas, interconexión R y C. Retardo CMOS y sensibilidad a los parámetros del dispositivo. Factores de rendimiento del FET en circuitos de RF.

*Factores que determinan el rendimiento de los FET en las memorias.

SRAM, DRAM, memoria no volátil: velocidad de la memoria, tiempo de retención, resiliencia, disipación de energía, tensiones de alimentación, tamaño de la celda de la memoria, propiedades de escalado.

*Silicio sobre aislante (SOI) y FET de puertas múltiples

SOI MOSFET: Tecnología de fabricación. Ventajas clave respecto a la tecnología CMOS bulk. Física e ingeniería del SOI MOSFET en el contexto del escalado. FET de puerta múltiple (FinFET, Nanosheet FET, Vertical Nanowire FET): tecnología de fabricación. Ventajas clave. Física e ingeniería del FET de puerta múltiple en el contexto del escalado.

*Ingeniería del FET

Innovaciones tecnológicas para aprovechar los beneficios del escalado: materiales tensados, dieléctricos de alta k, electrodos de puerta metálicos, SOI de capa ultradelgada, arquitecturas de puerta múltiple, materiales III-V, materiales de baja dimensionalidad, CMOS de baja T.

*Conectando la tecnología FET con el rendimiento del circuito

Modelado compacto para análisis de DC, análisis en frecuencia, análisis transitorio, y análisis de ruido. Extracción de parámetros

*Otras direcciones de investigación en dispositivos y transistores avanzados

HEMT para RF y circuitos de potencia. BiCMOS para aplicaciones analógicas y de señal mixta. FET túnel para aplicaciones de conmutación de baja potencia. Direcciones de investigación desde la perspectiva del dispositivo: hoja de ruta para aplicaciones lógicas / memorias / analógicas / RF.

Dedicación: 48h

Grupo grande/Teoría: 39h

Grupo pequeño/Laboratorio: 9h

SISTEMA DE CALIFICACIÓN

Evaluación de la asignatura: trabajo del curso (40%) + examen individual (60%)

BIBLIOGRAFÍA

Básica:

- Tsividis, Y.; McAndrew, C. Operation and modeling of the MOS transistor. 3rd ed. New York : Oxford: Oxford University Press, 2011. ISBN 9780195170153.
- Sze, S.M.; Li, Y.; Ng, K.K. Physics of semiconductor devices. Fourth edition. Hoboken, N.J.: Wiley, 2021. ISBN 9781119429111.
- Taur, Y.; Ning, T.H. Fundamentals of modern VLSI devices. 3rd ed. United Kingdom: Cambridge University Press, 2022. ISBN 9781108480024.

Complementaria:

- Gindelblat, G. Compact modeling: principles, techniques and applications. Springer, 2010. ISBN 9789048186136.