



# Guía docente

## 2301200 - MD - Diseño Microelectrónico

Última modificación: 22/03/2024

**Unidad responsable:** Escuela Técnica Superior de Ingeniería de Telecomunicación de Barcelona  
**Unidad que imparte:** 701 - DAC - Departamento de Arquitectura de Computadores.

**Titulación:** MÁSTER UNIVERSITARIO EN INGENIERÍA DE SEMICONDUCTORES Y DISEÑO MICROELECTRÓNICO (Plan 2024). (Asignatura obligatoria).

**Curso:** 2024      **Créditos ECTS:** 6.0      **Idiomas:** Inglés

### PROFESORADO

**Profesorado responsable:** Consultar aquí / See here:  
<https://telecos.upc.edu/ca/curs-actual/coordinadors-i-professorat>

**Otros:** Consultar aquí / See here:  
<https://telecos.upc.edu/ca/curs-actual/coordinadors-i-professorat>

### CAPACIDADES PREVIAS

Conceptos generales de electrónica, tecnología de estado sólido y sistemas digitales

- Comportamiento del MOSFET
- Electrónica digital
- Análisis DC y transitorios de circuitos

### METODOLOGÍAS DOCENTES

- Clases teóricas
- Ejercicios prácticos en el laboratorio
- Examen final
- Trabajo autónomo del estudiante

### OBJETIVOS DE APRENDIZAJE DE LA ASIGNATURA

Analizar y diseñar los elementos básicos que constituyen un circuito microelectrónico digital desde esquemas hasta layout.  
Usar herramientas comerciales de automatización de diseño electrónico (EDA) para el análisis y diseño de VLSI.  
Usar técnicas de diseño avanzadas para optimizar el consumo de energía en los circuitos integrados.  
Introducción a las metodologías de diseño de alto nivel y lenguajes de descripción de hardware independientes de la tecnología VLSI.

### HORAS TOTALES DE DEDICACIÓN DEL ESTUDIANTADO

Tipo	Horas	Porcentaje
Horas grupo grande	36,0	24.00
Horas grupo pequeño	12,0	8.00
Horas aprendizaje autónomo	102,0	68.00

**Dedicación total:** 150 h

## CONTENIDOS

### Introducción

**Descripción:**

Ley de Moore. Evolución de la tecnología VLSI.

Tipos de transistores para tecnología VLSI: MOSFET plano, FDSOI y FinFET. Principales características y modelos para el diseño digital.

Metodología y flujo de diseño. Lenguajes de descripción de hardware.

**Dedicación:** 12h 30m

Grupo grande/Teoría: 4h

Aprendizaje autónomo: 8h 30m

### Diseño de bloques combinacionales

**Descripción:**

La puerta lógica CMOS estática.

Diseño de puertas lógicas CMOS estáticas.

Caracterización de puertas lógicas.

Modelo de retardo RC.

Esfuerzo lógico. Retraso de bloques y caminos digitales.

El consumo de energía. Potencia dinámica y estática.

**Actividades vinculadas:**

Diseño y caracterización de celdas combinacionales estándar.

**Dedicación:** 37h 30m

Grupo grande/Teoría: 8h

Grupo pequeño/Laboratorio: 4h

Aprendizaje autónomo: 25h 30m

### Diseño de bloques secuenciales

**Descripción:**

Latches y biestables. Caracterización. Tiempo de hold y setup.

Diseño, layout y análisis de biestables. Biestables tipo D y tipo T. Señales de reset y habilitación.

Análisis y temporización de circuitos digitales. Desviación de reloj.

Sincronizadores y análisis del tiempo. Slack.

Memorias. Estructura y layout de memorias ROM, SRAM, DRAM y Flash.

**Actividades vinculadas:**

Diseño y caracterización de celdas secuenciales estándar.

**Dedicación:** 31h 15m

Grupo grande/Teoría: 6h

Grupo pequeño/Laboratorio: 4h

Aprendizaje autónomo: 21h 15m



### Subsistemas datapath

**Descripción:**

Sumadores y restadores.  
Comparadores.  
Contadores.  
Codificadores.  
Desplazadores.  
Multiplicadores.

**Actividades vinculadas:**

Diseño y simulación de un subsistema datapath.

**Dedicación:** 25h

Grupo grande/Teoría: 6h  
Grupo pequeño/Laboratorio: 2h  
Aprendizaje autónomo: 17h

### Interconexiones

**Descripción:**

Modelización de las interconexiones.  
Impacto de interconexiones en el rendimiento del circuito.  
Ingeniería de las interconexiones.

**Dedicación:** 12h 30m

Grupo grande/Teoría: 4h  
Aprendizaje autónomo: 8h 30m

### Técnicas de bajo consumo de energía.

**Descripción:**

Arquitecturas de bajo consumo. Clock gating y power gating.  
Escalado dinámico de tensión y frecuencia (DVFS)  
Tecnologías y técnicas de bajo consumo.

**Dedicación:** 12h 30m

Grupo grande/Teoría: 4h  
Aprendizaje autónomo: 8h 30m



### Subsistemas de propósito especial

**Descripción:**

Distribución de energía.  
Generación y distribución de señales de reloj.  
PADs de entrada/salida.  
Test y caracterización.  
Packaging y refrigeración.  
Latchup, electromigración, efecto antena y parásitos.

**Actividades vinculadas:**

PADs entrada/salida

**Dedicación:** 18h 45m

Grupo grande/Teoría: 4h

Grupo pequeño/Laboratorio: 2h

Aprendizaje autónomo: 12h 45m

## SISTEMA DE CALIFICACIÓN

Ejercicios laboratorio: 25%

Examen final: 75 %

## BIBLIOGRAFÍA

**Básica:**

- Weste, N.H.E.; Harris, D.M. CMOS VLSI design: a circuits and systems perspective. 4th ed. Boston: Addison Wesley, 2011. ISBN 9780321547743.
- Rabaey, J.M.; Chandrakasan, A.P.; Nikolic, B. Digital integrated circuits: a design perspective. 2nd ed. Upper Saddle River: Pearson Education, 2003. ISBN 9788131709146.
- Taraate, V. Digital logic design using Verilog: coding and RTL synthesis [en línea]. 2nd ed. Singapore: Springer, 2022 [Consulta: 17/05/2024]. Disponible a: <https://link-springer-com.recursos.biblioteca.upc.edu/book/10.1007/978-981-16-3199-3>. ISBN 9789811631986.

**Complementaria:**

- Baker, R.J. CMOS circuit design, layout, and simulation. Fourth edition. Hoboken, New Jersey: IEEE Press, 2019. ISBN 9781119481515.
- Tsividis, Y.; McAndrew, C. Operation and modeling of the MOS transistor. 3rd ed. New York : Oxford: Oxford University Press, 2011. ISBN 9780195170153.