



Guia docent

2301218 - MSIPD - Disseny d'Ips de Senyal Mixta

Última modificació: 20/03/2024

Unitat responsable: Escola Tècnica Superior d'Enginyeria de Telecomunicació de Barcelona

Unitat que imparteix: 1022 - UAB - Universitat Autònoma de Barcelona.

Titulació: MÀSTER UNIVERSITARI EN ENGINYERIA DE SEMICONDUCTORS I DISSENY MICROELECTRÒNIC (Pla 2024).
(Assignatura optativa).

Curs: 2024

Crèdits ECTS: 4.0

Idiomes: Anglès

PROFESSORAT

Professorat responsable: Consultar aquí / See here:

Altres: Consultar aquí / See here:

METODOLOGIES DOCENTS

La metodologia docent es basa en lliçons magistrals i exercicis a classe (20h) i sessions de laboratori (10h). El treball de laboratori inclou el disseny top-down d'un bloc IP ADC Delta-Sigma de capacitats commutades (SC) o un PLL de rellotge des de les especificacions funcionals fins al layout en tecnologia CMOS amb eines de disseny electrònic automatitzat (EDA) i kits de disseny de procés (PDKs).

OBJECTIUS D'APRENTATGE DE L'ASSIGNATURA

Aquest curs és una introducció al disseny CMOS de blocs IP de senyal mixt, des de l'especificació funcional utilitzant el llenguatge de descripció Verilog-A fins a la integració física en sistemes en xip (SoCs) big-A i big-D. La metodologia de disseny top-down de senyal mixt s'aplica a tres famílies de blocs IP estratègics: convertidors de dades A/D i D/A i bucles de fase (PLLs) de rellotge. El curs també permet adquirir pràctica en l'optimització d'aquests blocs IP de senyal mixt utilitzant eines de disseny electrònic automatitzat (EDA), així com kits de disseny de processos CMOS (PDKs).

Objectius específics:

1. Aprendre a avaluar els diferents passos implicats en la metodologia de disseny top-down de blocs IP de senyal mixt en tecnologies CMOS per a sistemes en xip (SoCs).
2. Ser capaç de especificar un bloc IP de senyal mixt utilitzant el llenguatge de descripció de hardware Verilog-A (HDL).
3. Adquirir coneixements sobre tècniques de disseny específiques per a tres famílies de blocs IP de senyal mixt: convertidors de dades A/D i D/A i bucles de fase (PLL) de rellotge.
4. Adquirir pràctica en l'optimització de blocs IP de senyal mixt utilitzant eines de disseny electrònic automatitzat (EDA) obertes i industrials, així com kits de disseny de processos CMOS (PDKs).

HORES TOTALS DE DEDICACIÓ DE L'ESTUDIANTAT

Tipus	Hores	Percentatge
Hores grup gran	20,0	20.00
Hores aprenentatge autònom	70,0	70.00
Hores grup petit	10,0	10.00

Dedicació total: 100 h

CONTINGUTS

Introducció als Fluxos de Disseny CMOS de Senyal Mixt

Descripció:

Metodologia de disseny top-down de circuits integrats de senyal mixt. Especificació de blocs IP a través de la simulació funcional de l'arquitectura del circuit integrat. Integració de blocs IP en els fluxos de disseny de circuits integrats big-A i big-D. Bones pràctiques per a la portabilitat dels IPs en tecnologies CMOS. Tendències i reptes actuals en el disseny de circuits IP de senyal mixt.

Dedicació: 1h

Grup gran/Teoria: 1h

Modelització d'Arquitectures d'IP amb Verilog-A

Descripció:

Tècniques de simulació de circuits de senyal mixt: xarxa elèctrica versus dirigida per events. Llenguatges de descripció de hardware analògic (AHDL). Introducció al llenguatge Verilog-A: conceptes bàsics (tipus de dades, expressions, senyals, funcions), comportament analògic i jerarquia de disseny.

Dedicació: 3h

Grup gran/Teoria: 3h

Convertidors de Dades Analògic-Digital

Descripció:

Mostreig i quantització en la conversió de dades. Mètriques de rendiment dels ADC (DNL, INL, SNDR, ENOB, DR, OSR, FOMS/W). ADC Flash. Subranging, entrellaçat de temps i canalització. Convertidors A/D d'aproximació successiva (SAR). Moduladors Delta-Sigma sobremostrejats (CT, SC, DEM, IADC, Zoom). Moduladors asincrònics Integrate-and-Fire (IAF). Conversió en el domini del temps (TDC).

Dedicació: 6h

Grup gran/Teoria: 6h

Convertidors de Dades Digital-Analògic

Descripció:

Convertidors D/A amb shaping de soroll multi-etapa (MASH). Tècniques de modulació de pulsos.

Dedicació: 2h

Grup gran/Teoria: 2h

Bucles de Fase Enter-N de Relotge

Descripció:

Arquitectura bàsica del PLL. Oscil·ladors controlats i divisors de freqüència. Detectores de fase/freqüència i bombes de càrrega. Filtre de bucle i estabilitat del PLL. Figures de mèrit de soroll de fase, jitter i temps de bloqueig.

Dedicació: 4h

Grup gran/Teoria: 4h



Optimització Automàtica de Circuits

Descripció:

Anàlisi de rendiment d'IPs versus recursos (potència i àrea). Parametrització de circuits IP per a optimització. Regles i algorismes generals d'optimització. Funcions de cost multi-variables. Optimització enfront de procés CMOS, tensió d'alimentació i rang de temperatura (PVT).

Dedicació: 2h

Grup gran/Teoria: 2h

Eines EDA de Senyal Mixt

Descripció:

Eines de disseny electrònic automatitzat (EDA) de codi obert i comercials i kits de disseny de processos CMOS (PDKs) per al disseny d'IPs de senyal mixt. Eines de simulació i optimització de circuits de senyal mixt.

Dedicació: 2h

Grup gran/Teoria: 2h

SISTEMA DE QUALIFICACIÓ

Avaluació segons la següent norma ponderada: exercicis proposats (10%), informe de laboratori (40%) i examen (50%). Si la puntuació de l'examen és inferior a 4/10, caldrà aprovar un examen de recuperació i la seva puntuació es reduirà a un 80%.

BIBLIOGRAFIA

Bàsica:

- Plassche, R.J. van de. CMOS integrated analog-to-digital and digital-to-analog converters. 2nd ed. Springer, 2003. ISBN 9781571812773.
- Pavan, S.; Schreier, R.; Temes, G.C. Understanding delta-sigma data converters. 2nd ed. Wiley-IEEE Press, 2017. ISBN 9781119258278.
- Razavi, B. Design of CMOS phase-locked loops: from circuit level to architecture level. Cambridge University Press, 2020. ISBN 9781108494540.
- Accellera Systems Initiative. Verilog-AMS Language Reference Manual v2.4.0 [en línia]. v2.4.0. Napa, CA: Accellera Systems Initiative Inc., 2014 [Consulta: 18/06/2024]. Disponible a: <https://www.accellera.org/images/downloads/standards/v-ams/VAMS-LRM-2-4.pdf>.
- Hastings, A. The art of analog layout. 3rd ed. Pearson, 2023.