



Guia docent

2301216 - AIPCD - Disseny Avançat de Nuclis de Propietat Intel·lectual

Última modificació: 04/04/2024

Unitat responsable: Escola Tècnica Superior d'Enginyeria de Telecomunicació de Barcelona

Unitat que imparteix: 1022 - UAB - Universitat Autònoma de Barcelona.

Titulació: MÀSTER UNIVERSITARI EN ENGINYERIA DE SEMICONDUCTORS I DISSENY MICROELECTRÒNIC (Pla 2024).
(Assignatura optativa).

Curs: 2024

Crèdits ECTS: 4.0

Idiomes: Anglès

PROFESSORAT

Professorat responsable: Castells Rufas, David

Altres: Moretó Planas, Miquel
Genovese, Ignacio

CAPACITATS PRÈVIES

Disseny digital basat en un llenguatge de descripció de maquinari de nivell RTL (VHDL, Verilog, ...).

Disseny i simulació de sistemes digitals bàsics: funcions lògiques combinacionals i seqüencials, funcions aritmètiques i màquines d'estats finits.

Implementació i depuració de sistemes digitals bàsics en dispositius reconfigurables (FPGA).

Desenvolupament d'aplicacions software basades en un microprocessador/microcontrolador.

C/C++, llenguatge de programació Python.

REQUISITS

METODOLOGIES DOCENTS

Classes de teoria.

Treball pràctic de laboratori.

Treball individual (a distància).

Examen final.

OBJECTIUS D'APRENTATGE DE L'ASSIGNATURA

Identificar diferents repertoris d'instruccions i seleccionar el més adequat per implementar un sistema.

Ser capaç d'estimar el potencial de paral·lelisme dels algorismes per guiar la selecció o el disseny de la plataforma.

Identificar el rendiment i els colls d'ampolla energètics.

Ser capaç de crear maquinari específic (IP Core) amb mètodes de garantia de qualitat que permetin la seva fàcil integració en sistemes.

Ser capaç de desenvolupar codi de programari optimitzat per al millor ús dels nuclis IP per minimitzar el temps d'execució i el consum d'energia.

Aprendre a dissenyar un sistema informàtic combinant IPs complexes disponibles (com processadors, memòries, coprocessadors, etc.) per dur a terme una funció específica.

Adquirir coneixements i pràctiques pràctiques sobre la creació de prototips FPGA i els mètodes de verificació basats en programari.



HORES TOTS DE DEDICACIÓ DE L'ESTUDIANTAT

Tipus	Hores	Percentatge
Hores grup gran	18,0	18.00
Hores grup petit	12,0	12.00
Hores aprenentatge autònom	70,0	70.00

Dedicació total: 100 h

CONTINGUTS

Tipus de nuclis IP

Descripció:

Nuclis IP del processador (microprocessadors, microcontroladors, DSP). Memòries, RAM (SRAM, SDRAM, ...), ROM, memòria cau, NVM. Controladors de memòria. Interfícies de comunicació. Interfícies punt a punt (sèrie/paral·lel, unidireccional/bidireccional) Interfícies multipunt (multi-mestre, multi-esclau). Interfícies de memòria mapejada (busos, AXI), xarxes en xip. Integració de nuclis IP d'interfície en sistemes electrònics (Generadors, Platform Builder, ...). Nuclis especialitzats. (criptogràfic, tractament d'imatges, ...). Personalització i adaptació de nuclis especialitzats.

Dedicació: 2h

Grup gran/Teoria: 2h

Verificació del nucli IP

Descripció:

Importància de la verificació. Assegurar la correcció, la fiabilitat i la funcionalitat dels nuclis IP. El procés de verificació (flux des del disseny fins a la prova). Metodologies de prova sistemàtica. Metodologies de verificació. Verificació basada en simulacions. Simulació basada en esdeveniments vs. simulació basada en cicles (QuestaSIM vs Verilator). Verificació formal. UVM (bancs de proves, agents, seqüències, ...). Cocotb, CI/CD (Fluxos). Emulació FPGA. Casos pràctics del món real: lliçons apreses i reptes afrontats en projectes del món real.

Dedicació: 2h

Grup gran/Teoria: 2h

Mètriques

Descripció:

Importància de les mètriques. Tipus de mètriques (àrea, rendiment, consum d'energia). Definició d'Àrea: àrea de xip, recompte de portes, utilització de recursos. Mètodes per mesurar l'àrea. Eines (Síntesi...) Mètrica de rendiment. Retard (temps de configuració, temps de retenció, retard de propagació) i Fmax. Temps d'execució. Ample de banda. Model de línia de sostre. Eines (Perfilatge). Relació amb Simuladors (Spike, Gem5). Mètriques de consum d'energia. Potència dinàmica i potència estàtica. Mesurament del consum d'energia. Optimització energètica (Clock Gating, Power Gating, DVFS). Eines (Simulació, Monitorització de potència).

Dedicació: 2h

Grup gran/Teoria: 2h



Cas pràctic: una unitat vectorial com a nucli IP complex

Descripció:

Funcionament funcional d'una unitat vectorial. El concepte de processament vectorial. Com connectar la VPU a un processador? (interfície, jerarquia de memòria). Arquitectura d'una unitat vectorial. Registres vectorials, unitats funcionals vectorials (carrils), registre de longitud vectorial, etc. Optimitzacions del compilador per al processament vectorial (vectorització). Anàlisi de les VPU: àrea, rendiment, compensacions energètiques. Verificació. Un exemple real.

Dedicació: 2h

Grup gran/Teoria: 2h

Ampliació de processadors amb maquinari personalitzat: instruccions personalitzades

Descripció:

Màquines algorítmiques. Camins de dades. El compromís entre els recursos informàtics i d'emmagatzematge. Estimació dels beneficis del rendiment. Revisió de perfils. Identificació d'instruccions candidates per a la implementació de maquinari. Instruccions personalitzades i extensions d'arquitectura del processador. Unitats funcionals per a instruccions personalitzades. Requisits addicionals d'integració (etapa de descodificació). Ampliació de processadors RISC-V. Desenvolupament de HDL. Validació funcional (Extending Spike). Estimació del rendiment (Extensió ISS, Gem5). Síntesi. Emulació. Exemples (distància de Hamming, conversió d'espai de color).

Dedicació: 2h

Grup gran/Teoria: 2h

Jerarquia de memòria i dispositius

Descripció:

Conceptes bàsics sobre la jerarquia i la memòria cau. Nivells de jerarquia de memòria: registres, memòria cau, memòria principal, emmagatzematge secundari. Tipus de memòria cau (L1, L2, L3). Arquitectures de memòria cau. Components (tag, index, block offset). Funcionament. mecanismes de lectura i escriptura, errors i errors de memòria cau. Cartografia; mapa directe, conjunt-associatiu, totalment associatiu. Polítiques de substitució de la memòria cau (LRU, FIFO, Random, ...). Coherència de la memòria cau. Problemes d'incoherència. Coherència de la memòria cau en diversos nuclis. Visió general dels protocols de coherència com MESI, MOESI i enfocaments basats en directoris. Interacció entre memòria virtual i memòria cau. Interacció de memòria amb memòria cau. TLB, Page Walking. Interfície amb dispositius connectats a bus. El paper d'esclau de la memòria. Busmastering des de dispositius. Controladors DMA genèrics. IRQs. Impacte en el rendiment de DMA i IRQ. Impacte de l'ample de banda del DMA. Impacte de latència de les IRQ. Verificació dels dispositius connectats al bus. Dispositiu aïllant de la generació d'estímuls (ISS, Spike, etc.).

Dedicació: 2h

Grup gran/Teoria: 2h

Arquitectures paral·leles i programació paral·lela

Descripció:

Taxonomia de Flynn: SISD, SIMD, MIMD, SPMD. SIMT. Paral·lelisme de dades, paral·lelisme de tasques, paral·lelisme de pipeline. Arquitectures paral·leles a la pràctica (SMT, NUMA, GPU). Programació paral·lela. Memòria: memòria compartida, memòria distribuïda, híbrida. Paradigmes de programació: fils, pas de missatges. Reptes de sincronització. Models existents: OpenMP, MPI, CUDA, etc. El flux de dades JPEG i la seva possible execució en paral·lel pipelined/data.

Dedicació: 2h

Grup gran/Teoria: 2h



Codisseny HW/SW

Descripció:

Codisseny HW/SW i síntesi d'alt nivell. Comunicació, sincronització, particionament maquinari-programari. El paper de les eines de modelització i simulació a nivell de sistema. Disseny basat en models. Eines i flux de treball HLS. Compareu-lo amb els enfocaments tradicionals de disseny RTL. Eines i llenguatges HLS (per exemple, C++, SystemC). HLS en verificació de sistemes i co-disseny HW/SW. Verificació funcional. Estimació del rendiment. Disseny de coprocessadors connectats a bus amb HLS. Presentació del DCT.

Dedicació: 2h

Grup gran/Teoria: 2h

Negoci al voltant dels nuclis IP

Descripció:

Parametrització del nucli IP. Llenguatge i eines. Exemples del món real. Avaluació de la qualitat dels nuclis IP. Models de simulació. Certificació. Normes. Costos associats. Mercats de nuclis IP. Panorama actual del mercat central de la IP. Nivells d'IP (des de RTL fins a Chiplets). Tendències i previsions. Models de negoci i llicències. Protecció dels nuclis IP. Importància de la protecció bàsica de la IP. Atacs i enginyeria inversa. Mètodes de protecció (ofuscació, xifratge, seguretat de maquinari). Patents.

Dedicació: 2h

Grup gran/Teoria: 2h

SISTEMA DE QUALIFICACIÓ

Laboratoris (50%)

Examen final (50%)

BIBLIOGRAFIA

Bàsica:

- Hennessy, John L; Patterson, David A. Computer architecture : a quantitative approach. Sixth edition. Cambridge, MA: Elsevier/Morgan Kaufmann, [2019]. ISBN 9780128119051.
- Spear, Chris; Tumbush, Greg. SystemVerilog for verification: a guide to learning the testbench language features [en línia]. 2nd ed. New York: Springer, 2012 [Consulta: 27/03/2024]. Disponible a: <https://link-springer-com.recursos.biblioteca.upc.edu/book/10.1007/978-1-4614-0715-7>. ISBN 9781461407157.
- Maaref, M. Architecting and building high-speed xocS : design, develop, and debug complex FPGA-based systems-on-chip [en línia]. 1st ed. Birmingham: Packt Publishing, Limited, 2022 [Consulta: 19/04/2024]. Disponible a: <https://ebookcentral-proquest-com.recursos.biblioteca.upc.edu/lib/upcatalunya-ebooks/detail.action?pq-origsite=primo&docID=30239983>. ISBN 1-80181-985-8.
- Taraate, Vaibbhav. ASIC Design and Synthesis. RTL Design Using Verilog [en línia]. Singapore: Springer Nature, 2021 [Consulta: 08/04/2024]. Disponible a: <https://link-springer-com.recursos.biblioteca.upc.edu/book/10.1007/978-981-33-4642-0>. ISBN 9789813346420.
- Thomas, D. Logic design and verification using SystemVerilog. Revised. Lexington, Kentucky: CreateSpace, 2016. ISBN 9781523364022.
- Wile, Bruce ; Goss, John c.; Roesner, Wolfgang. Comprehensive Functional Verification. The complete industry cycle [en línia]. Amsterdam ; Boston: Morgan Kaufmann Publishers, 2005 [Consulta: 08/04/2024]. Disponible a: <https://ebookcentral-proquest-com.recursos.biblioteca.upc.edu/lib/upcatalunya-ebooks/detail.action?pq-origsite=primo&docID=234976>. ISBN 9781281008398.
- Salemi, R. The UVM Primer: an introduction to the Universal Verification Methodology. Boston: Boston Light Press, 2013. ISBN 9780974164939.