



Guia docent

2301206 - ICPD - Disseny Físic de Circuits Integrats

Última modificació: 17/04/2024

Unitat responsable: Escola Tècnica Superior d'Enginyeria de Telecomunicació de Barcelona
Unitat que imparteix: 710 - EEL - Departament d'Enginyeria Electrònica.

Titulació: MÀSTER UNIVERSITARI EN ENGINYERIA DE SEMICONDUCTORS I DISSENY MICROELECTRÒNIC (Pla 2024).
(Assignatura optativa).

Curs: 2024 **Crèdits ECTS:** 6.0 **Idiomes:** Anglès

PROFESSORAT

Professorat responsable: Consultar aquí / See here:
<https://telecos.upc.edu/ca/curs-actual/coordinadors-i-professorat>

Altres: Consultar aquí / See here:
<https://telecos.upc.edu/ca/curs-actual/coordinadors-i-professorat>

CAPACITATS PRÈVIES

Disseny digital
Continguts de Disseny Microelectrònic (MD)

METODOLOGIES DOCENTS

Exposició per part del professor (classe magistral)
Treball de laboratori amb eines de disseny EDA

OBJECTIUS D'APRENTATGE DE L'ASSIGNATURA

Coneixement:

- K1.1 Aplicar les metodologies i les eines per al disseny i la verificació de circuits integrats digitals semipersonalitzats.
- K.1.2 Comprendre els avantatges i limitacions de les tecnologies microelectròniques digitals i les característiques dels kits de disseny (PDK).
- K.1.3 Comprendre les restriccions, els aspectes temporals i el consum d'energia en un disseny.
- K1.4 Desenvolupar estratègies de prova adequades per a circuits integrats digitals.

Habilitats:

- S1.1 Dissenyar circuits integrats digitals utilitzant eines automàtiques de síntesi lògica i física segons especificacions.
- S1.2 Utilitzar eines de verificació a nivell lògic i físic.
- S1.3 Utilitzar eines de disseny per provar circuits integrats.

Competències:

- C1.1 Realitzar circuits integrats digitals amb eficiència quant a superfície, consum, velocitat i testabilitat.

HORES TOTALS DE DEDICACIÓ DE L'ESTUDIANTAT

Tipus	Hores	Percentatge
Hores grup petit	24,0	16.00
Hores grup gran	24,0	16.00
Hores aprenentatge autònom	102,0	68.00

Dedicació total: 150 h



CONTINGUTS

T0. Conceptes i metodologia

Descripció:

Estils d'implementació. Flux de disseny digital. Eines per al disseny automàtic.

Dedicació: 1h

Grup gran/Teoria: 1h

T1. Llenguatges de descripció de maquinari (HDL): Systemverilog

Descripció:

Revisió de Systemverilog. Modelització de sistemes digitals per a la síntesi. Ús de HDL per a la simulació/verificació.

Dedicació: 4h

Grup gran/Teoria: 4h

T2. Síntesi i implementació de circuits integrats digitals

Descripció:

Etapas del procés de síntesi. Biblioteques. Optimitzacions en el procés de síntesi funcional i lògica. Restriccions d'un disseny (SDC). Anàlisi temporal - Anàlisi de temporització estàtica (STA). Síntesi física: Planta, Col·locació, Síntesi Clock-Tree (CTS), Encaminament, Optimització del temps i generació de GDS.

Dedicació: 9h

Grup gran/Teoria: 9h

T3. Verificació física

Descripció:

RTL Linting. Sincronització i comprovacions CDC. Tancament temporal. Modelatge de potència. Anàlisi de la distribució d'energia.

Dedicació: 2h

Grup gran/Teoria: 2h

T4. Implementació física avançada

Descripció:

Tècniques de baixa potència. Modelatge i flux UPF.

Dedicació: 3h

Grup gran/Teoria: 3h

T5. Disseny per a la testabilitat

Descripció:

Conceptes de test. Models de fallada. Generació de proves en circuits combinacionals i seqüencials. IDDQ. Mètodes de generació automàtica de vectors. Disseny per a proves. Escaneja cadenes. Exploració de límits. Autoprova integrada.

Dedicació: 7h

Grup gran/Teoria: 7h



L1. Simulació digital

Descripció:

Simulació d'un disseny en RTL. Simulació a nivell de porta.

Dedicació: 4h

Grup petit/Laboratori: 4h

L2. Síntesi lògica

Descripció:

Síntesi lògica d'un disseny moderadament complex

Dedicació: 6h

Grup petit/Laboratori: 6h

L3. Anàlisi estàtica de temps. Verificació física

Descripció:

Anàlisi temporal i efecte de restriccions temporals. Verificació de potència. Verificació de layout.

Dedicació: 4h

Grup petit/Laboratori: 4h

L4. Flux complet: verificació d'equivalència lògica, verificació CDC, implementació

Descripció:

Implementació de disseny amb diversos dominis de rellotge. Verificacions avançades.

Dedicació: 4h

Grup petit/Laboratori: 4h

L5. DFT: ATPG, inserció d'escaneig, BIST

Descripció:

Flux de disseny per a la testabilitat. Síntesi i implementació física.

Dedicació: 4h

Grup petit/Laboratori: 4h

SISTEMA DE QUALIFICACIÓ

3 examens parcials (50% global)

Entregues d'informes de laboratori (50%)



BIBLIOGRAFIA

Bàsica:

- Bhasker, J; Chadha, R. Static timing analysis for nanometer designs: a practical approach [en línia]. New York: Springer, 2009 [Consulta: 13/06/2024]. Disponible a: <https://link-springer-com.recursos.biblioteca.upc.edu/book/10.1007/978-0-387-93820-2>. ISBN 9780387938196.
- Mehta, A.B. Introduction to SystemVerilog [en línia]. Cham, Switzerland: Springer, 2021 [Consulta: 13/06/2024]. Disponible a: <https://link-springer-com.recursos.biblioteca.upc.edu/book/10.1007/978-3-030-71319-5>. ISBN 9783030713195.
- Golshan, K. Physical design essentials: an ASIC design implementation perspective [en línia]. New York: Springer, 2007 [Consulta: 13/06/2024]. Disponible a: <https://link-springer-com.recursos.biblioteca.upc.edu/book/10.1007/978-0-387-46115-1>. ISBN 9780387461151.