



Guia docent

2301205 - SOC - Disseny i Verificació de Socs

Última modificació: 02/04/2024

Unitat responsable: Escola Tècnica Superior d'Enginyeria de Telecomunicació de Barcelona
Unitat que imparteix: 1022 - UAB - Universitat Autònoma de Barcelona.

Titulació: MÀSTER UNIVERSITARI EN ENGINYERIA DE SEMICONDUCTORS I DISSENY MICROELECTRÒNIC (Pla 2024).
(Assignatura optativa).

Curs: 2024 **Crèdits ECTS:** 6.0 **Idiomes:** Anglès

PROFESSORAT

Professorat responsable: Consultar aquí / See here:
<https://telecos.upc.edu/ca/curs-actual/coordinadors-i-professorat>

Altres: Consultar aquí / See here:
<https://telecos.upc.edu/ca/curs-actual/coordinadors-i-professorat>

CAPACITATS PRÈVIES

Verilog HDL, C++, Co-disseny HW/SW , Arquitectura de computadors, Disseny FPGA , ASIC back-end, Kits de diseny (PDK), Eines d'automatització del disseny electrònic (EDA)

METODOLOGIES DOCENTS

Classe expositiva participativa. Resolució d'exercicis i problemes. Treball pràctic de laboratori.

OBJECTIUS D'APRENTATGE DE L'ASSIGNATURA

Aquest curs se centra en el disseny i la verificació de components complexos i del sistema integrat a xip (SoC) en un enfocament basat en el disseny basat en plataformes (meet-in-the middle), que construeix xips complexos a partir de components predefinitos i baixant tant al prototipatge sobre FPGAs com al disseny de ASICs. Les eines de co-disseny HW/SW a nivell de sistema s'utilitzen per a l'especificació, síntesi i verificació, reforçant especialment aquesta com un aspecte clau del flux de disseny.

HORES TOTALES DE DEDICACIÓ DE L'ESTUDIANTAT

Tipus	Hores	Percentatge
Hores grup petit	15,0	10.00
Hores grup gran	33,0	22.00
Hores aprenentatge autònom	102,0	68.00

Dedicació total: 150 h



CONTINGUTS

Arquitectures SoC

Descripció:

Arquitectura SoC elemental.
Exemples de nuclis de processador (ARM, RISC-V). Pipeline.
Busos en xip (AMBA AXI OCB).
Components virtuals (IP).
Arquitectura de memòria.

Dedicació: 31h 15m

Grup gran/Teoria: 10h

Aprentatge autònom: 21h 15m

Llenguatges i metodologies de verificació

Descripció:

Conceptes i metodologies de verificació. SystemVerilog per a la verificació. Bancs de proves simples i complexos. Interfície de programació directa (DPI). Aleatorització i cobertura (codi i funcional). Afirmacions.

Dedicació: 31h 15m

Grup gran/Teoria: 10h

Aprentatge autònom: 21h 15m

Llenguatges i metodologies de modelatge d'alt nivell

Descripció:

SystemC TLM. Sistema de co-simulació SystemC-HDL. Eines de síntesi d' alt nivell.

Dedicació: 28h 20m

Grup gran/Teoria: 9h

Aprentatge autònom: 19h 20m

Back-end del SoC en FPGA i ASIC

Descripció:

Prototipat amb FPGA. Back-end sobre tecnologies ASIC. Aspectes d' encapsulat i test.

Dedicació: 12h 30m

Grup gran/Teoria: 4h

Aprentatge autònom: 8h 30m

Pràctiques de laboratori

Descripció:

1. Personalització arquitectural del SOC (AXI, MMAP, IRQs, DMA,...) amb components virtual (IPs)
2. Bancs de proves SystemVerilog
3. Afirmacions, cobertura, DPI
4. Co-simulació HW/SW del SoC amb SystemC TLM
5. Síntesi del chip SoC

Objectius específics:

Els estudiants treballen amb components virtuals (IPs), que han d'estar connectats a través d'un bus integrat (OCB). El disseny d'un SoC específic comença amb la selecció dels seus components i la construcció de l'arquitectura, continua amb una verificació funcional a nivell de components individuals o de grups petits amb SystemVerilog, seguida de la co-simulació HW/SW del SoC complet amb SystemC TLM, i acaba amb la síntesi d'un ASIC que es podria enviar a fabricar.

Activitats vinculades:

5 sessions de pràctiques de 3 hores cadascuna

Dedicació: 46h 40m

Grup petit/Laboratori: 15h

Aprenentatge autònom: 31h 40m

SISTEMA DE QUALIFICACIÓ

Treballs i activitats individuals (20%). Examen final (40%). Treballs grupal de laboratori (40%, obligatori aprovar-lo per superar l'assignatura).

BIBLIOGRAFIA

Bàsica:

- Keating, M. The simple art of SoC design [en línia]. New York, NY: Springer New York, 2011 [Consulta: 13/06/2024]. Disponible a: <https://link-springer-com.recursos.biblioteca.upc.edu/book/10.1007/978-1-4419-8586-6>. ISBN 9781441985866.
- Patterson, D.; Waterman, A. The RISC-V reader: an open architecture atlas [en línia]. San Francisco: Strawberry Canyon, 2017 [Consulta: 11/06/2024]. Disponible a: <http://riscvbook.com/>. ISBN 9780999249116.
- Spear, C.; Tumbush, G. SystemVerilog for verification: a guide to learning the testbench language features [en línia]. 3rd ed. New York, NY: Springer, 2012 [Consulta: 11/06/2024]. Disponible a: <https://link-springer-com.recursos.biblioteca.upc.edu/book/10.1007/978-1-4614-0715-7>. ISBN 9781461407157.
- Kogel, T.; Leupers, R.; Meyr, H. Integrated system-level modeling of network-on-chip enabled multi-processor platforms [en línia]. Dordrecht, The Netherlands: Springer, 2006 [Consulta: 13/06/2024]. Disponible a: <https://link-springer-com.recursos.biblioteca.upc.edu/book/10.1007/1-4020-4826-2>. ISBN 9781402048258.

Complementària:

- Chakravarthi, V.S. A practical approach to VLSI system on chip (SoC) design: a comprehensive guide [en línia]. 1st ed. 2020. Cham: Springer Cham, 2020 [Consulta: 11/06/2024]. Disponible a: <https://link-springer-com.recursos.biblioteca.upc.edu/book/10.1007/978-3-030-23049-4>. ISBN 9783030230494.
- Flynn, M.J.; Luk, W. Computer system design: system-on-chip [en línia]. Hoboken: Wiley, 2011 [Consulta: 11/06/2024]. Disponible a: <https://ebookcentral-proquest-com.recursos.biblioteca.upc.edu/lib/upcatalunya-ebooks/detail.action?pq-origsite=primo&docID=693260>. ISBN 9781118009901.
- Greaves, D.J. Modern system-on-chip design on arm [en línia]. Arm Education Media, 2021 [Consulta: 11/06/2024]. Disponible a: <https://www.arm.com/resources/education/books>. ISBN 9781911531364.
- Beuchat, R.; Depraz, F.; Kashani, S.; Guerrieri, A. Fundamentals of system-on-chip: design on arm cortex-M microcontrollers [en línia]. Arm Education Media, 2021 [Consulta: 11/06/2024]. Disponible a: <https://www.arm.com/resources/education/books>. ISBN 9781911531333.
- Mehta, A.B. ASIC/SoC functional design verification [en línia]. Springer, 2017 [Consulta: 11/06/2024]. Disponible a: <https://link-springer-com.recursos.biblioteca.upc.edu/book/10.1007/978-3-319-59418-7>. ISBN 9783319594187.



- Wile, B.; Goss, J.C.; Roesner, W. Comprehensive functional verification: the complete industry cycle [en línia]. 1st ed. Amsterdam ; Boston: Elsevier/Morgan Kaufmann, 2005 [Consulta: 13/06/2024]. Disponible a: <https://ebookcentral-proquest-com.recursos.biblioteca.upc.edu/lib/upcatalunya-ebooks/detail.action?pq-origsite=primo&docID=234976>. ISBN 9780080476643.
- Taraate, V. Digital logic design using Verilog: coding and RTL synthesis [en línia]. 2nd ed. Singapore: Springer, 2023 [Consulta: 13/06/2024]. Disponible a: <https://link-springer-com.recursos.biblioteca.upc.edu/book/10.1007/978-981-16-3199-3>. ISBN 9789811946523.
- Herdt, V.; Drechsler, R.; Grosse, D. Enhanced virtual prototyping: featuring RISC-V case studies [en línia]. Cham, Switzerland: Springer, 2021 [Consulta: 13/06/2024]. Disponible a: <https://link-springer-com.recursos.biblioteca.upc.edu/book/10.1007/978-3-030-54828-5>. ISBN 9783030548285.

RECURSOS

Altres recursos:

IPs: processadors RISC-V, perifèrics i eines de codi obert
Eines EDA de disseny, verificació i síntesi