



# Guia docent

## 2301200 - MD - Disseny Microelectrònic

Última modificació: 22/03/2024

**Unitat responsable:** Escola Tècnica Superior d'Enginyeria de Telecomunicació de Barcelona  
**Unitat que imparteix:** 701 - DAC - Departament d'Arquitectura de Computadors.

**Titulació:** MÀSTER UNIVERSITARI EN ENGINYERIA DE SEMICONDUCTORS I DISSENY MICROELECTRÒNIC (Pla 2024).  
(Assignatura obligatòria).

**Curs:** 2024      **Crèdits ECTS:** 6.0      **Idiomes:** Anglès

### PROFESSORAT

**Professorat responsable:** Consultar aquí / See here:  
<https://telecos.upc.edu/ca/curs-actual/coordinadors-i-professorat>

**Altres:** Consultar aquí / See here:  
<https://telecos.upc.edu/ca/curs-actual/coordinadors-i-professorat>

### CAPACITATS PRÈVIES

Conceptes generals d'electrònica, tecnologia d'estat sòlid i sistemes digitals

- Comportament del MOSFET
- Electrònica digital
- Anàlisi DC i transitoris de circuits

### METODOLOGIES DOCENTS

- Classes teòriques
- Exercicis pràctics al laboratori
- Examen final
- Treball autònom de l'estudiant

### OBJECTIUS D'APRENTATGE DE L'ASSIGNATURA

Analitzar i dissenyar els elements bàsics que constitueixen un circuit microelectrònic digital des d'esquemes fins a layout.  
Usar eines comercials d'automatització de disseny electrònic (EDA) per a l'anàlisi i disseny de VLSI.  
Usar tècniques de disseny avançades per optimitzar el consum d'energia als circuits integrats.  
Introducció a les metodologies de disseny d'alt nivell i llenguatges de descripció de maquinari independents de la tecnologia VLSI.

### HORES TOTALES DE DEDICACIÓ DE L'ESTUDIANT

Tipus	Hores	Percentatge
Hores grup petit	12,0	8.00
Hores grup gran	36,0	24.00
Hores aprenentatge autònom	102,0	68.00

**Dedicació total:** 150 h

## CONTINGUTS

### Introducció

**Descripció:**

Llei de Moore. Evolució de la tecnologia VLSI.

Tipus de transistors per a tecnologia VLSI: MOSFET planar, FDSOI i FinFET. Principals característiques i models del disseny digital.

Flux de metodologia i disseny. Llenguatges de descripció hardware.

**Dedicació:** 12h 30m

Grup gran/Teoria: 4h

Aprenentatge autònom: 8h 30m

### Disseny de blocs combinacionals

**Descripció:**

La porta lògica CMOS estàtica.

Disseny de portes lògiques CMOS estàtiques.

Caracterització de portes lògiques.

Model de retard RC.

Esforç lògic. Retard de blocs i camins digitals.

Consum energètic. Potència estàtica i dinàmica.

**Activitats vinculades:**

Disseny i caracterització de cèl·lules combinacionals estàndard

**Dedicació:** 37h 30m

Grup gran/Teoria: 8h

Grup petit/Laboratori: 4h

Aprenentatge autònom: 25h 30m

### Disseny de blocs seqüencials

**Descripció:**

Latches i biestables. Caracterització. Temps de hold i setup.

Disseny, layout i anàlisi de biestables. Biestables tipus D i tipus T. Senyals de reset i habilitació.

Anàlisi i temporització de circuits digitals. Desviació de rellotge.

Sincronitzadors i anàlisi del temps. Slack.

Memòries. Estructura i layout de memòries ROM, SRAM, DRAM i Flash.

**Activitats vinculades:**

Disseny i caracterització de cèl·lules seqüencials estàndard

**Dedicació:** 31h 15m

Grup gran/Teoria: 6h

Grup petit/Laboratori: 4h

Aprenentatge autònom: 21h 15m



### Subsistemes datapath

**Descripció:**

Sumadors i restants.  
Comparadors.  
Comptadors.  
Codificadors.  
Desplaçadors.  
Multiplicadors.

**Activitats vinculades:**

Disseny i simulació dun subsistema datapath.

**Dedicació:** 25h

Grup gran/Teoria: 6h  
Grup petit/Laboratori: 2h  
Aprenentatge autònom: 17h

### Interconnexions

**Descripció:**

Modelització de les interconnexions.  
Impacte de les interconnexions en el rendiment del circuit.  
Enginyeria de les interconnexions.

**Dedicació:** 12h 30m

Grup gran/Teoria: 4h  
Aprenentatge autònom: 8h 30m

### Tècniques de baix consum d'energia.

**Descripció:**

Arquitectures de baix consum. Clock gating i power gating.  
Escalat dinàmic de tensió i freqüència (DVFS)  
Tecnologies i tècniques de baix consum.

**Dedicació:** 12h 30m

Grup gran/Teoria: 4h  
Aprenentatge autònom: 8h 30m



### Subsistemes d'ús especial

**Descripció:**

Distribució d'energia.  
Generació i distribució de senyals de rellotge.  
PAD d'entrada/sortida.  
Test i caracterització.  
Packaging i refrigeració.  
Latchup, electromigració, efecte antena i paràsits.

**Activitats vinculades:**

PAD entrada/sortida

**Dedicació:** 18h 45m

Grup gran/Teoria: 4h

Grup petit/Laboratori: 2h

Aprenentatge autònom: 12h 45m

## SISTEMA DE QUALIFICACIÓ

Exercicis laboratori: 25%

Examen final: 75 %

## BIBLIOGRAFIA

**Bàsica:**

- Weste, N.H.E.; Harris, D.M. CMOS VLSI design: a circuits and systems perspective. 4th ed. Boston: Addison Wesley, 2011. ISBN 9780321547743.
- Rabaey, J.M.; Chandrakasan, A.P.; Nikolic, B. Digital integrated circuits: a design perspective. 2nd ed. Upper Saddle River: Pearson Education, 2003. ISBN 9788131709146.
- Taraate, V. Digital logic design using Verilog: coding and RTL synthesis [en línia]. 2nd ed. Singapore: Springer, 2022 [Consulta: 17/05/2024]. Disponible a: <https://link-springer-com.recursos.biblioteca.upc.edu/book/10.1007/978-981-16-3199-3>. ISBN 9789811631986.

**Complementària:**

- Baker, R.J. CMOS circuit design, layout, and simulation. Fourth edition. Hoboken, New Jersey: IEEE Press, 2019. ISBN 9781119481515.
- Tsividis, Y.; McAndrew, C. Operation and modeling of the MOS transistor. 3rd ed. New York : Oxford: Oxford University Press, 2011. ISBN 9780195170153.